

PAT-NO: JP410233467A
DOCUMENT-IDENTIFIER: JP 10233467 A
TITLE: PACKAGE FOR SEMICONDUCTOR ELEMENT
PUBN-DATE: September 2, 1998
INVENTOR-INFORMATION:
NAME
NAKAOKA, KUNIO
ASSIGNEE-INFORMATION:
NAME COUNTRY
MITSUBISHI ELECTRIC CORP N/A
APPL-NO: JP09036411
APPL-DATE: February 20, 1997
INT-CL (IPC): H01L023/12, H01L023/12 , H01L023/50
ABSTRACT:

PROBLEM TO BE SOLVED: To provide a package for semiconductor element whose operational property is improved by grounding a guard ring part.

SOLUTION: This package is composed of a conductor ball 1, a wiring conductor 2, an insulator interposer 3, a semiconductor element 4a, a semiconductor element circuit 4b, a semiconductor element electrode pad 4c, a guard ring 5 formed of conductor, a printed wiring board 6, a printed wiring board electrode 7, a grounded printed wiring board electrode 71, and a through hole 8 provided to the insulator interposer 3. The guard ring 5 is grounded through the wiring conductor 2, the conductor ball 1 and the printed wiring board electrode 71. The wiring pattern and the grounded guard ring 5 form a transmission line, thereby stabilizing the impedance of a wiring within a package and improving the electric characteristic of the package.

COPYRIGHT: (C)1998, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-233467

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.⁸

H 0 1 L 23/12

識別記号

3 0 1

23/50

F I

H 0 1 L 23/12

23/50

23/12

L

3 0 1 L

R

E

審査請求 有 請求項の数 6 O L (全 6 頁)

(21) 出願番号

特願平9-36411

(22) 出願日

平成9年(1997) 2月20日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中岡 邦夫

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

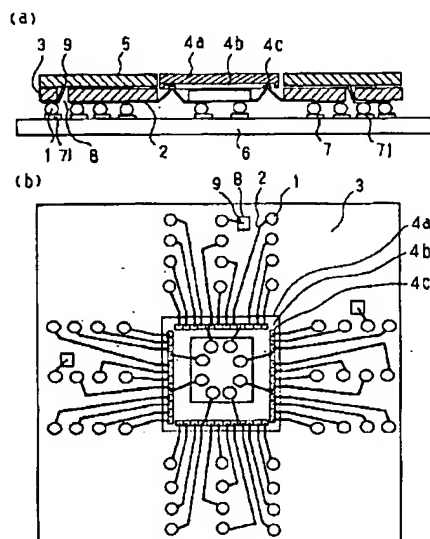
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 半導体素子用パッケージ

(57) 【要約】

【課題】 ガードリング部を接地することにより、動作特性の改善された半導体素子用パッケージを得る。

【解決手段】 導体ボール1と、配線導体2と、絶縁体インターポーザ部3と、半導体素子4aと、半導体素子回路部4bと、半導体素子電極パッド部4cと、導体により構成されたガードリング部5と、プリント配線板6と、プリント配線板電極部7と、接地されたプリント配線板電極部71と、絶縁体インターポーザ部3に設けられた貫通穴部8により構成している。ガードリング部5は配線導体2、導体ボール1及びプリント配線板電極部71を介して接地されている。配線パターンと接地されたガードリング部5が伝送線路を形成し、パッケージ内の配線のインピーダンスを安定化させることができ、パッケージの電気特性を高めることができる。



- | | |
|-------------------|-------------------------|
| 1 : 導体ボール | 5 : ガードリング |
| 2 : 配線導体 | 6 : プリント配線板 |
| 3 : 絶縁体インターポーザ部 | 7 : プリント配線板電極 |
| 4 a : 半導体素子 | 8 : 貫通穴部 |
| 4 b : 半導体素子回路部 | 9 : ガードリング接続部 |
| 4 c : 半導体素子電極パッド部 | 71 : 接地された
プリント配線板電極 |

【特許請求の範囲】

【請求項1】半導体素子と、前記半導体素子の端子と接続される端子を有する配線板と、導体により構成され、前記配線板とはほぼ一定の間隔をおいて設けられ、かつ前記半導体素子を保護する保護手段と、前記保護手段は前記配線板の接地端子と接続された、半導体素子用パッケージ。

【請求項2】前記半導体素子用パッケージはさらに複数のほぼ球形の導体である導体ボール接続端子を有し、前記いずれかの導体ボールは前記配線板の接地端子に接続され、前記保護手段は前記配線板の接地端子に接続された前記導体ボールを介して前記配線板の接地端子に接続された、請求項1に記載の半導体素子用パッケージ。

【請求項3】前記保護手段は前記配線板の接地端子に直接接続されたことを特徴とする、請求項1に記載の半導体素子用パッケージ。

【請求項4】前記半導体素子用パッケージはさらに、前記保護手段と配線板の間に絶縁部材を設け、前記保護手段は絶縁部材の外側に前記配線板の接地端子に接続されたことを特徴とする、請求項1、2又は3に記載の半導体素子用パッケージ。

【請求項5】前記保護手段は前記半導体素子の回路に使用されていない半導体部分に接続されたことを特徴とする、請求項1、2、3又は4に記載の半導体素子用パッケージ。

【請求項6】前記半導体素子の全面は前記配線板と前記保護手段により覆れたことを特徴とする、請求項1、2、3、4又は5に記載の半導体素子用パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体素子用パッケージに関するものであり、特にCSP (Chip scale package) / μ BGA (Micro Ball grid array) パッケージに関するものである。

【0002】

【従来の技術】この発明の従来技術として、半導体素子用パッケージの一例であるCSP / μ BGAパッケージを用いて説明する。CSP / μ BGAパッケージは、従来のパッケージより小型でシリコンチップの外形と同じもしくはそれに近い大きさのBGAパッケージである。規格があるBGAパッケージと異なり、規格外の仕様で小型のものは μ BGAと呼ばれる。コンピュータに代表される高速デジタルデータ処理を行う機器等では、小型・高速化が要求されるLSIパッケージにおいて、新たな技術としてCSP / μ BGAパッケージの利用が注目されている。

【0003】図6は従来のCSP / μ BGAパッケージの一例を示す断面図と底面方向からの平面図である。図6において、1は導体ボール、2は配線導体、3は絶縁体インターポーザ部、4aは半導体素子、4bは半導体

素子回路部、4cは半導体素子電極パッド部、5は導体により構成されたガードリング部、6はプリント配線板、7はプリント配線板電極部である。半導体素子回路部4bは、半導体素子電極パッド部4cを介して、配線導体2により接続端子である導体ボール1に接続されている。導体ボール1は配線板電極部7に接触して接続されている。ガードリング部5はパッケージを外部ストレスから保護するための構造ものとして用いられており、構造的な保護機能を有する。

【0004】

【発明が解決しようとする課題】パッケージ内の配線のインピーダンスは接地面と配線パターンの距離で決定される。従来のCSP / μ BGAパッケージにおいては、上記のような構造を有していたので、インピーダンスは不定となり波形を正しく伝送することが困難であった。特に100MHz以上の高速領域では波形の歪みは大きなものとなり、波形を正確に伝送することが非常に困難であるという問題点があった。パッケージはベアチップと異なり、一つの完成した製品として販売されるものであるので、その動作特性の信頼性確保が重要な要素となる。この発明は、かかる問題点を解決するためになされたもので、半導体素子用パッケージの動作特性、特にその電気特性を向上させることを目的としている。

【0005】

【課題を解決するための手段】第1の発明に係る半導体素子用パッケージは、半導体素子と、前記半導体素子の端子と接続される端子を有する配線板と、導体により構成され、前記配線板とはほぼ一定の間隔をおいて設けられ、かつ前記半導体素子を保護する保護手段と、前記保護手段は前記配線板の接地端子と接続されたものである。尚、接続とは電気的に接続されていることを意味する。この点は以下の課題を解決するための手段において同様である。

【0006】第2の発明に係る半導体素子用パッケージは、特に第1の発明に係る半導体素子用パッケージにおいて、さらに複数のほぼ球形の導体である導体ボール接続端子を有し、前記いずれかの導体ボールは前記配線板の接地端子に接続され、前記保護手段は前記配線板の接地端子に接続された前記導体ボールを介して前記配線板の接地端子に接続されたものである。

【0007】第3の発明に係る半導体素子用パッケージは、特に第1の発明に係る半導体素子用パッケージにおいて、前記保護手段は前記配線板の接地端子に直接接続されたものである。

【0008】第4の発明に係る半導体素子用パッケージは、第1、第2又は第3の発明に係る半導体素子用パッケージにおいて、さらに、前記保護手段と配線板の間に絶縁部材を設け、前記保護手段は絶縁部材の外側に前記配線板の接地端子に接続されたものである。

【0009】第5の発明に係る半導体素子用パッケージ

は、第1、第2、第3又は第4の発明に係る半導体素子用パッケージにおいて、前記保護手段は前記半導体素子の回路に使用されていない半導体部分に接続されたことを特徴とするものである。

【0010】第6の発明に係る半導体素子用パッケージは、第1、第2、第3、第4又は第5の発明に係る半導体素子用パッケージにおいて、前記半導体素子の全面は前記配線板と前記保護手段により覆れたことを特徴とするものである。

【0011】

【発明の実施の形態】

実施の形態1. 図1はこの発明の実施の一形態であるCSP/ μ BGAパッケージの概略構成図を示したものである。図1において、1は導体ボール、2は配線導体、3は絶縁体インターポーザ部、4aは半導体素子、4bは半導体素子回路部、4cは半導体素子電極パッド部、5は導体により構成されたガードリング部、6はプリント配線板、7と71はプリント配線板電極部、8は絶縁体インターポーザ部3に設けられた貫通穴部、9はガードリング部5と配線導体2との接続部である。導体ボール1はニッケルに金メッキしたものや、はんだ等が用いられる。絶縁体インターポーザ部3としては、ポリイミド、ガラスエポキシ、セラミックス等が使用される。ガードリング部5はアルミや銅等が利用される。プリント配線板6としては、ガラスエポキシ、セラミックスが、そしてプリント配線板電極部7には銅にはんだ又は金メッキを施したもの等が使用される。ガードリング部5は貫通穴部8を通じて、配線導体2に接続されている。配線導体2は導体ボール1に接続されている。導体ボール1は接続されたプリント配線板電極部71に接続されている。結果としてガードリング部5は接地された状態となっている。

【0012】パッケージ内の配線のインピーダンスは接地面と配線パターンの距離で決まる。本実施の形態においては、絶縁体インターポーザ部3を挟んで一定距離において配線パターンと接地されたガードリング部5が配置されているので、伝送線路を形成し、配線のインピーダンスが一定となる。以上のようにこの発明によれば、配線パターンと接地されたガードリング部5が伝送線路を形成し、パッケージ内の配線のインピーダンスを安定化させることができ、パッケージの電気特性を高めることができる。特に100MHz以上の高速領域ではその効果が大きなものとなる。尚、本実施の形態において、ガードリング部5は単一の部材により構成されているが、複数の部材により構成されていてもよい。又、導体は無機物、有機物により構成されるを問わない。これらの点は以下の実施の形態において同様である。

【0013】実施の形態2. 図2はこの発明の実施の一形態であるCSP/ μ BGAパッケージの概略構成図を示したものである。図2において、1～9、71は図1

において説明した構成の同一又は相当部を示し、説明を省略する。10はガードリング部5の外周部である。ガードリング部5は絶縁体インターポーザ部3よりも外周部が大きなものとなっている。最外周の導体ボール1は、絶縁体インターポーザ部3の外側に位置するガードリング部5の外周部10と配線導体2により接続されている。以上のように、この発明によれば、絶縁体インターポーザ部3に孔を設けることなく、導体ボール1とガードリング部5を接続しているので、実施の形態1が奏する効果に加え、パッケージ用部品の制作、組み立てをより容易に行うことが可能となる。

【0014】実施の形態3. 図3はこの発明の実施の一形態であるCSP/ μ BGAパッケージの概略構成図を示したものである。図3において、1～7及び71は図1において説明した構成の同一又は相当部を示し、説明を省略する。11はガードリング電極部である。ガードリング電極部11はガードリング部5と同様の部材により構成されている。ガードリング部5を絶縁体インターポーザ部3の外側に位置するガードリング電極部11により、プリント配線板6上のプリント配線板電極部71に直接接続している。

【0015】以上のように、この発明によれば、実施の形態2の奏する効果に加え、ガードリング部5がプリント配線板電極部71に直接接続されてることにより接地されているので、パッケージ用部品の制作、組み立てをさらに容易にすることが可能となり、又ガードリング5が外部ストレスから導体ボール1を保護する機能が高められる。

【0016】実施の形態4. 図4はこの発明の実施の一形態であるCSP/ μ BGAパッケージの概略構成図を示したものである。図4において、1～7、11、71は図1又は図3において説明した構成の同一又は相当部を示し、説明を省略する。12はガードリング半導体素子接続用導体、13は導体接続部である。ガードリング半導体素子接続用導体12は金、銅、アルミ等が用いられる。半導体素子4aの回路に使用されていない半導体部分はガードリング半導体素子接続用導体12を介してガードリング5に接続されている。半導体回路は、シリコンウエハーの極々表面に形成されてる。回路に使われていないシリコンの部分にバイアスをかけることをバックバイアスと言う。

【0017】以上のように、この発明によれば、実施の形態3の奏する効果に加え、半導体素子4aが接地されたガードリング5を介して接地されているので、半導体素子4aのバックバイアスをとることができる。従って、電氣的に一定の電圧(0V)を与えることにより、半導体回路の動作基準電圧となるから、寄生回路による発振現象や回路のマイグレーションを押さえる効果があり、半導体素子4aの動作を安定化させることが可能となる。

【0018】実施の形態5。図5はこの発明の実施の一形態であるCSP/ μ BGAパッケージの概略構成図を示したものである。図5において、1～4、6、7、71は図1において説明した構成の同一又は相当部を示し、説明を省略する。14は導体により構成されたキャップ型ガードリング、15は導電性接着剤である。キャップ型ガードリング14と半導体素子4aは、導電性接着剤15により電気的かつ物理的に接続されている。半導体素子4aはキャップ型ガードリング14により、その全体が覆われている。

【0019】以上のように、この発明によれば、キャップ型ガードリング14と半導体素子4aが導電性接着剤15により電気的かつ物理的に接続されているので、実施の形態4が奏する効果に加え、ガードリング-半導体素子接続用導体12が省かれることにより、パッケージ用部品の制作、組み立てをさらに容易にすることが可能となる。又、接地されたキャップ型ガードリング14が半導体素子4aの全体を覆っているため、ガードリング14は電磁波シールドとしての機能を有し、半導体素子4aの動作を安定化させることが可能となる。

【0020】

【発明の効果】

【0021】第1の発明に係る半導体素子用パッケージは、半導体素子と、前記半導体素子の端子と接続される端子を有する配線板と、導体により構成され、前記配線板とはほぼ一定の間隔をおいて設けられ、かつ前記半導体素子を保護する保護手段と、前記保護手段は前記配線板の接地端子と接続されたものであるため、パッケージ内の配線のインピーダンスを安定化させることができ、パッケージの電気特性を高めることができる。

【0022】第2の発明に係る半導体素子用パッケージは、特に第1の発明に係る半導体素子用パッケージにおいて、さらに複数のほぼ球形の導体である導体ボール接続端子を有し、前記いずれかの導体ボールは前記配線板の接地端子に接続され、前記保護手段は前記配線板の接地端子に接続された前記導体ボールを介して前記配線板の接地端子に接続されたものであるため、パッケージ内の配線のインピーダンスを安定化させることができ、パッケージの電気特性を高めることができる。

【0023】第3の発明に係る半導体素子用パッケージは、特に第1の発明に係る半導体素子用パッケージにおいて、前記保護手段は前記配線板の接地端子に直接接続されたものであるため、前記保護手段の保護機能をさらに高めることが可能となる。

【0024】第4の発明に係る半導体素子用パッケージは、第1、第2又は第3の発明に係る半導体素子用パッ

ケージにおいて、さらに、前記保護手段と配線板の間に絶縁部材を設け、前記保護手段は絶縁部材の外側にて前記配線板の接地端子に接続されたものであるため、第1、第2又は第3の発明の奏する効果に加え、前記絶縁部材に孔を設けることなく前記保護手段を前記接地端子に接続できるため、パッケージ用部品の制作、組み立てを容易にすることが可能となる。

【0025】第5の発明に係る半導体素子用パッケージは、第1、第2、第3又は第4の発明に係る半導体素子用パッケージにおいて、前記保護手段は前記半導体素子の回路に使用されていない半導体部分に接続されたことを特徴とするものであるため、第1、第2、第3又は第4の発明の奏する効果に加え、前記半導体素子のバックバイアスをとることができるため、前記半導体素子の動作を安定化させることが可能となる。

【0026】第6の発明に係る半導体素子用パッケージは、第1、第2、第3、第4又は第5の発明に係る半導体素子用パッケージにおいて、前記半導体素子の全面は前記配線板と前記保護手段により覆れたことを特徴とするものであるため、第1、第2、第3、第4又は第5の発明の奏する効果に加え、前記保護手段は電磁波シールドとしての機能を有し、前記半導体素子の動作を安定化させることが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係るCSP/ μ BGAパッケージの基本構成を示す断面図と底面図。

【図2】 本発明の実施の形態2に係るCSP/ μ BGAパッケージの基本構成を示す断面図と底面図。

【図3】 本発明の実施の形態3に係るCSP/ μ BGAパッケージの基本構成を示す断面図と底面図。

【図4】 本発明の実施の形態4に係るCSP/ μ BGAパッケージの基本構成を示す断面図と底面図。

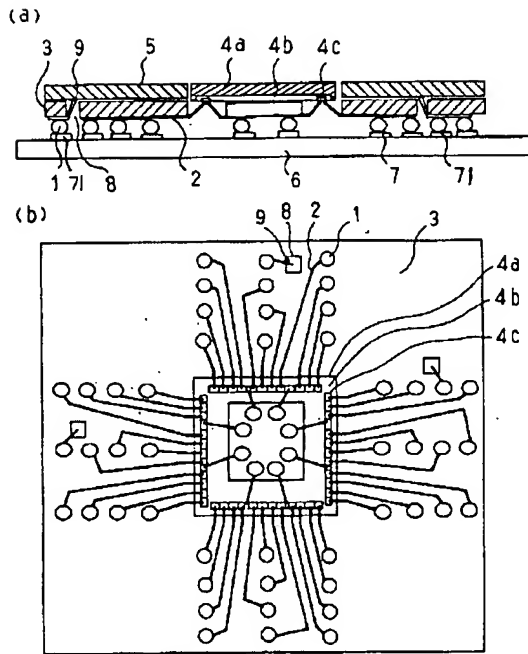
【図5】 本発明の実施の形態5に係るCSP/ μ BGAパッケージの基本構成を示す断面図と底面図。

【図6】 従来の技術におけるCSP/ μ BGAパッケージの基本構成を示す断面図。

【符号の説明】

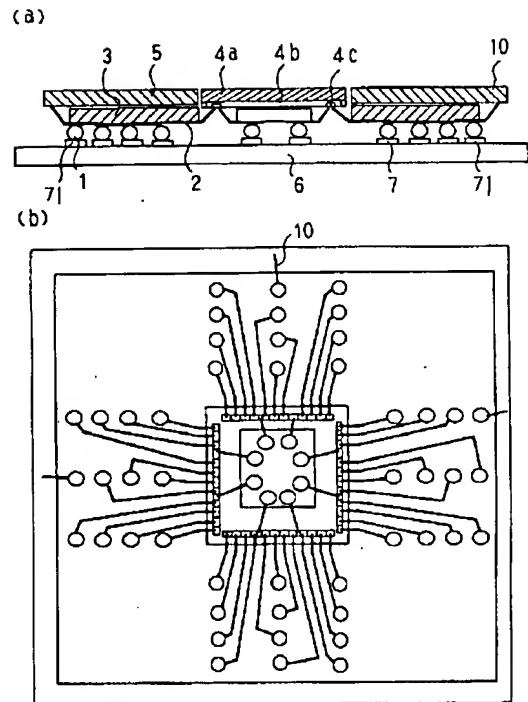
1 導体ボール、2 配線導体、3 絶縁体インターポーザ部、4a 半導体素子、4b 半導体素子回路部、4c 半導体素子電極パッド部、5 導体材料で構成されたガードリング部、6 プリント配線板、7 プリント配線板電極部、10 ガードリングの外周接続部、11 ガードリング電極部、12 ガードリング-半導体素子接続用導体、13 導体接続部、14 導体材料により構成されたキャップ型ガードリング、15 導電性接着剤、71 接地されたプリント配線板電極部。7

【図1】



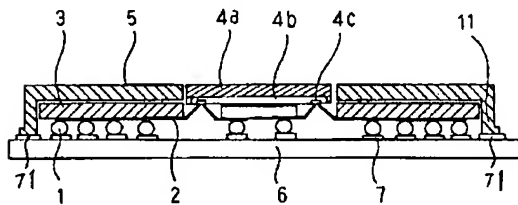
- 1: 導体ボール
2: 配線導体
3: 絶縁体インターポーザー部
4a: 半導体素子
4b: 半導体素子回路部
4c: 半導体素子電極パッド部
5: ガードリング
6: プリント配線板
7: プリント配線板電極
8: 貫通穴部
9: ガードリング接続部
71: 接地されたプリント配線板電極

【図2】



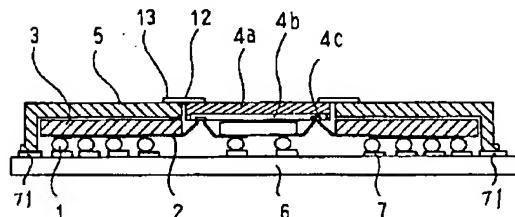
- 1: 導体ボール
2: 配線導体
3: 絶縁体インターポーザー部
4a: 半導体素子
4b: 半導体素子回路部
4c: 半導体素子電極パッド部
5: ガードリング
6: プリント配線板
7: プリント配線板電極
8: 貫通穴部
9: ガードリング外周接続部
10: ガードリング外周接続部
71: 接地されたプリント配線板電極

【図3】



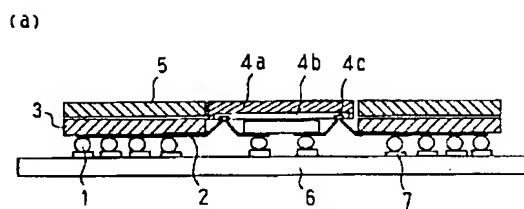
- 1: 導体ボール
2: 配線導体
3: 絶縁体インターポーザー部
4a: 半導体素子
4b: 半導体素子回路部
4c: 半導体素子電極パッド部
5: ガードリング
6: プリント配線板
7: プリント配線板電極
11: ガードリング電極部
71: 接地されたプリント配線板電極

【図4】

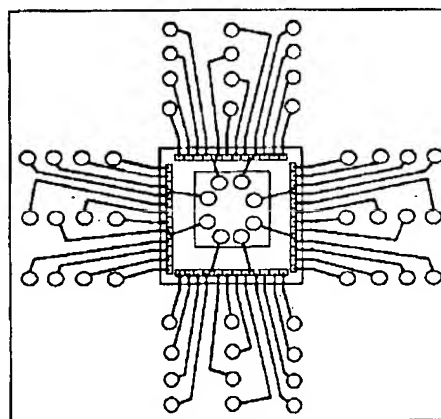


- 1: 導体ボール
2: 配線導体
3: 絶縁体インターポーザー部
4a: 半導体素子
4b: 半導体素子回路部
4c: 半導体素子電極パッド部
5: ガードリング
6: プリント配線板
7: プリント配線板電極
12: ガードリング半導体素子接続用導体
13: 接続部
71: 接地されたプリント配線板電極

【図6】



- 1 : 導体ボール
- 2 : 配線導体
- 3 : 絶縁体インターポーザー部
- 4 a : 半導体素子
- 4 b : 半導体素子回路部
- 4 c : 半導体素子電極パッド部
- 5 : ガードリング
- 6 : プリント配線板
- 7 : プリント配線板電極
- 1 4 : キャップ型ガードリング
- 1 5 : 導電性接着剤
- 7 1 : 接点抵抗低減用配線板電極



- 1 : 導体ボール
- 2 : 配線導体
- 3 : 絶縁体インターポーザー部
- 4 a : 半導体素子
- 4 b : 半導体素子回路部
- 4 c : 半導体素子電極パッド部
- 5 : ガードリング
- 6 : プリント配線板
- 7 : プリント配線板電極